



Bachelor-, Master- und Doktorandenseminar
des Instituts für Informatik

Fehlererkennungsmethoden bei arithmetischen Operationen und quantitative Bestimmung der Erkennungsraten

Herman Setiadi, TU Clausthal

„Stuck-At-Fehler“ sind in der Welt der Digitaltechnik seit langem bekannt und verursachen Rechenfehler bei arithmetischen und logischen Operationen. Darüber hinaus können solche Fehler auch durch fehlerhafte Speicherung von Konfigurationsdaten in FPGAs generiert werden, etwa hervorgerufen durch Höhenstrahlungs-bedingte Soft Errors.

Da solche Fehler an beliebigem Ort innerhalb einer Hardwareschaltung entstehen können, kann die Wirkung eines 1-bit-Fehlers auch vielfach zu sehen sein. Zur Erkennung solcher Fehler sind ggf. spezielle Methoden notwendig. In dieser Arbeit wird ein aufwärtszählender Binärzähler – als Modell für die Inkrementoperation – mit emulierten 1- und 2-Bit Stuck-at-Fehler in VHDL zur Ermittlung der Erkennungsraten simuliert. Als Fehlererkennung dient eine Variante des erweiterten Hammingcodes, die Arbeit bestimmt die Erkennungsraten für die emulierten Fehler. Besonderes Augenmerk wurde darauf gelegt, dass die Fehler bereits

Aus den Arbeiten werden Erweiterungen des Hammingcodes abgeleitet, die eine höhere Erkennungsrate, auch bis 100 %, ermöglichen. Zusätzlich wird für den Zähler getestet, ob der Fehler in eine nicht erkannte Schleife mündet.

Darüber hinaus stellt diese Arbeit auch eine vorausschauende Berechnung der Fehlererkennung, seine Eigenschaften und Vorteile vor.

Montag, den 07.07.2014

14 Uhr s.t. in Raum 210, IfI, Am Regenbogen 15