

RO1 Übungen ohne Lösungen V29

Übung 1: Gesamtpunktzahl [90]

- 1 Aufgabe: Übersicht zu den Prozessorfamilien
 - 1.) a) **Zu welcher Mikroprozessorfamilie gehört der Prozessor in der Sony Playstation II? b) In welche übergeordnete Kategorie kann man diese Familie einordnen? c) Wie sieht der Gliederungsbaum der Prozessoren aus? (3P)[3]**

- 2 Aufgabe: Grundlagen der Rechnerorganisation
 - 2.) **In welche Ebenen ist ein Rechner organisiert? (5P)[8]-[3]**
 - 3.) **Nennen Sie je zwei Beispiele für die unterste und die oberste Ebene (2P)[10]-[8]**

- 3 Aufgabe: Die Gatterebene
 - 4.) **Geben Sie sechs einfache Gatterfunktionen und deren Wertetabellen für zwei Eingänge und einen Ausgang an. (12P)[22]-[10]**

- 4 Aufgabe: Die Ebene der Funktionsblöcke
 - 5.) **Entwerfen Sie aus elementaren Gattern einen 4-zu-1-Multiplexer (Eingänge: D_0, D_1, D_2, D_3, A, B , Ausgang: F) und geben Sie dessen Wertetafel für A, B und F an. F ist dabei eine Funktion von D_0 - D_3 . (9P)[31]-[22]**
 - 6.) **Wie sieht ein $2^n \rightarrow 1$ -Multiplexers aus? Gehen Sie dazu vom bekannten $4 \rightarrow 1$ -Multiplexer aus und geben verbal die Art und Anzahl der benötigten Gatter, die Zahl ihrer Ein- und Ausgänge und ihre Verschaltung an. (11P)[42]-[31]**

7.) Wie sieht das optimierte Schaltnetz für die Boolesche Funktion aus, die in nachfolgender Tabelle definiert ist. (8P)[50]-[42]

x_0	x_1	x_2	f
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

8.) Wie kann mit einem N-Bit-Addierer bestehend aus N 1-Bit-Volladdierern eine Subtraktion realisiert werden? (4P)[54]-[50]

9.) a) Was bedeutet es, wenn ein Funktionsblock skalierbar ist? b) Nennen Sie ein Beispiel für eine Hochskalierung. c) Ist der so entstandene Funktionsblock auch effizient? d) Begründen Sie Ihre Ansicht. (4P)[58]-[54]

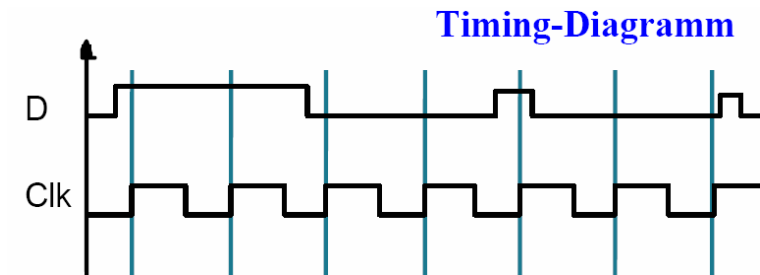
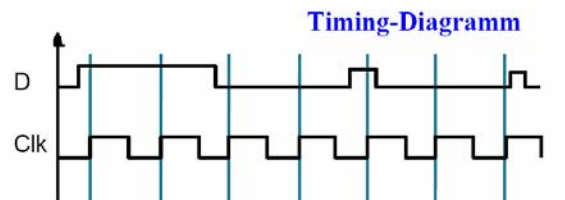
10.) Wie sieht der Zustandsgraph eines *SR*-Latches aus? Beschriften Sie alle Knoten und Kanten. (2P)[60]-[58]

11.) Erläutern Sie verbal, wodurch sich *SR*-Latch, *D*-Latch und *D*-Flip-Flop voneinander unterscheiden. (7P)[67]-[60]

12.) a) Skizzieren Sie den Schaltplan eines *D*-Flip-Flops. b) In welchem Teil des Schaltnetzes wird von einer analogen Eigenschaft eines Bauelements Gebrauch gemacht? (4P)[71]-[67]

13.) Gegeben sei der untenstehende Zeitverlauf eines Daten- und eines Taktsignals. Wie sieht der Ausgang *Q* des *D*-Latches und des *D*-Flip-Flops aus? Zeichnen Sie präzise seinen zeitlichen Verlauf. (4P)[75]-[71]

14.) An ein *D*-Latch und an ein *D*-Flip-Flop wird ein Datensignal *D* mit Takt *Clk* gemäß untenstehendem Diagramm angelegt. Welcher Ausgang Q_{Latch} oder Q_{FF} ist in Bezug auf Störungsunempfindlichkeit und Taktsynchronizität besser und warum? (3P)[78]-[75]



15.)Warum gibt es überhaupt D-Flip-Flops? (2P)[80]-[78]

16.)Vergleichen Sie verbal Synchron- und Asynchronzähler im Detail miteinander. (11P)[]-[80]

Übung 2: Gesamtpunktzahl [188]-[90] (98P)

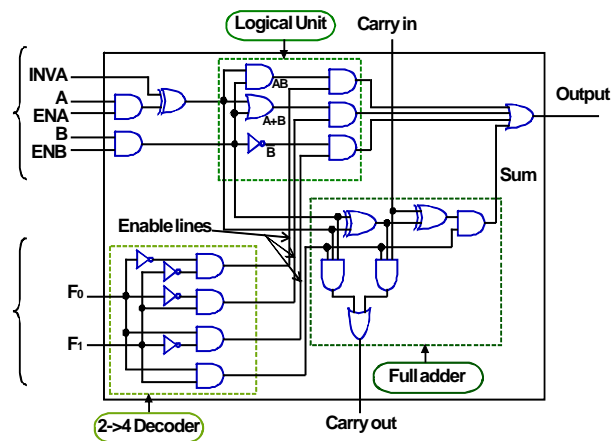
17.) Warum ist ein Asynchronzähler in jeder Hardware weit weniger nützlich als ein Synchronzähler? (2P)[92]-[92]

5 Aufgabe: Fortsetzung Ebene der Funktionsblöcke

18.) Definieren Sie Schaltnetz, Schaltwerk und endlicher Automat mit Ein-/Ausgabe. (6P)[98]-[92]

19.) Wann ist der Hardware-Aufwand eines Schaltnetzes und wann der eines Schaltwerkes minimal? (5P)[103]-[98]

20.) In nachfolgendem Schaltbild ist eine einfache arithmetisch/logische Einheit gezeigt. Welche Funktionen kann die ALU ausführen?



(5P)[108]-[103]

21.) Durch welche Verallgemeinerungen lassen sich synchrone Modulo-N-Zähler mit aufsteigender Zählreihenfolge in vier Schritten in endliche Automaten mit Ein- und Ausgabe erweitern? (4P)[112]-[108]

22.) Erläutern Sie verbal, wie man die Zustandsänderungen für einen endlichen Automaten implementiert. (3P)[115]-[112]

23.) Vergleichen Sie verbal Mealy- und Moore-Automaten miteinander. (5P)[120]-[115]

24.) Welche Vor- und Nachteile hat ein Mealy- gegenüber einem Moore-Automaten? (2P)[122]-[120]

6 Aufgabe: Die Komponentenebene

- 25.) Woraus besteht die Komponentenebene eines Rechners? (4P)[126]-[122]
- 26.) Was bedeutet die Abkürzung RAM? Definieren Sie die Funktion eines RAMs in einem Satz. (4P)[130]-[126]
- 27.) Wofür steht die Abkürzung *SRAM*? Wie wird bei einem *SRAM* die Speicherung realisiert? (2P)[132]-[130]
- 28.) Warum gibt es überhaupt *SRAMs*? (2P)[134]-[132]
- 29.) Wie erfolgt das Adressmultiplexen bei *DRAMs*? (3P)[137]-[134]
- 30.) a) Wann werden die Kondensatoren in einem *DRAM*-Speicher neu geladen, damit sie nicht ihre Bitinformation verlieren? b) Welche Komponente in einem Rechner oder in einer *CPU* nimmt das Laden vor? c) Was passiert, wenn ein Core während des Neuladens auf den *DRAM*-Speicher zugreifen will? d) Wo ist dies ungünstig? (4P)[141]-[137]
- 31.) Vergleichen Sie *SRAM* und *DRAM* bzgl. Ihrer Kapazität miteinander. Nennen Sie typische Anwendungen für beide Speichertypen. (4P)[145]-[141]
- 32.) Erläutern Sie die beiden grundsätzlich verschiedenen Arten von Speichern. (2P)[147]-[145]
- 33.) Wie erfolgt die Bitspeicherung bei Festplatten, *MRAMs* und Flash *RAMs*? (6P)[153]-[147]
- 34.) Was bedeutet die Abkürzung „*EEPROM*“. Was sind die Vor- und Nachteile eines *EEPROMs* gegenüber einem *PROM*? (4P)[157]-[153]
- 35.) Nennen Sie die Vor- und Nachteile von Bussen. (6P)[163]-[157]
- 36.) Bilden Sie eine Rangfolge bzgl. der Geschwindigkeit zwischen On-Chip-Bus, *CPU*-Systembus und Peripheriebus (2P)[165]-[163]
- 37.) Was ist eine *PIO* und was sind deren typische Wortbreiten? (3P)[168]-[165]
- 38.) Zeichnen Sie das Diagramm der Anschlussstifte einer üblichen *PIO*. (4P)[172]-[168]

- 39.) Was wird durch den „Power Up Reset“ eines Peripheriebausteins bezweckt? (2P)[174]-[172]**
- 40.) Was steht in den *PIO*-Registern? (3P)[177]-[174]**
- 41.) Wozu werden die Least Significant Bits (*LSBs*) der *CPU* bei einer *PIO*-Ansteuerung verwendet? (1P)[178]-[177]**
- 42.) Beschreiben Sie detailliert und verbal, wie die Anwahl und Benutzung einer *PIO* oder eines Speicherbausteins erfolgt. (10P)[]-[178]**

Übung 3: Gesamtpunktzahl [292]-[188] (104P)

7 Aufgabe: Fortsetzung Ebene der Rechnerkomponenten

43.) Beschreiben Sie verbal den Aufbau einer Festplatte. (18P)[206]-[206]

44.) Welche Schnittstellen sind bei Festplatten üblich? (5P)[211]-[206]

45.) Eine Festplatte habe einen Aussenumfang von 5 cm, einen Innenumfang von 2 cm, drehe sich mit 12 Tsd. Umdrehungen pro Minute und habe 6001 Spuren. Wie lange dauert es im schlimmsten Fall, bis der Lesekopf über einer Spur einen Daten-Record auf dieser Spur gefunden hat? (1P)[212]-[211]

46.) Die obige Festplatte habe eine Kapazität K von $2,10035 \cdot 10^{12}$ Byte. Wie viele Byte speichert sie pro cm Spurlänge bei konstanter Schreibdichte? Hinweis: nummerieren Sie die Spuren von 0 bis 6000 durch und verwenden Sie folgende Summenformel:

$$\sum_{i=0}^{6000} i = \frac{1}{2} \cdot 6000 \cdot 6001 \quad (12P)[222]-[212]$$

47.) Die äußerste Spur einer Festplatte habe einen Umfang von 10 cm, die innerste 2 cm. Es gebe 6000 Spuren, und die Platte habe eine Kapazität von $3,60 \cdot 10^{12}$ Byte. Wie hoch ist die Schreibdichte in [bit/cm]? (4P)[226]-[222]

8 Aufgabe: Die Ebene der Rechnerorganisation

48.) Was sind jeweils die Vor- und Nachteile des von Neumann- und des Harvard-Konzeptes? (9P)[235]-[226]

49.) Wie wirkt sich der Einsatz eines Busses in einer von Neumann-Architektur auf den von Neumann-Flaschenhals aus? (2P)[237]-[235]

50.) Zeichnen Sie das Ablaufdiagramm der Hauptbefehlsschleife in der von Neumann-Maschine. Was ändert sich im Ablaufdiagramm, wenn Interrupts unterstützt werden? (8P)[245]-[237]

51.) Erläutern Sie verbal und detailliert wie bei der von Neumann-Maschine Unterprogrammaufrufe und wie Interrupts ablaufen. (21P)[266]-[245]

- 52.) Was bedeutet „Steuerflussarchitektur“? (2P)[268]-[266]**
- 53.) Nach welchem Prinzip arbeiten heutige Rechner? (1P)[269]-[268]**
- 54.) Was ist der Bestandteil in der Hauptbefehlsschleife einer Steuerflussarchitektur, ohne den der Prozessor nicht in der Lage wäre, alle Programme auszuführen? (2P)[•]-[269]**
- 55.) Warum ist die Neumann-Maschine so berechnungsstark wie die Turing-Maschine? (2P)[272]-[•]**
- 56.) Was versteht man unter „semantischer Lücke zwischen Anwendungsprogramm und Rechner“? (1P)[273]-[272]**
- 57.) Von welcher Instanz wird die semantische Lücke überbrückt? (1P)[274]-[273]**
- 58.) Nennen Sie Beispiele für Echtzeitbetriebssysteme. (2P)[276]-[274]**
- 59.) Zeichnen Sie in einem Blockschaltbild den Hardware-mäßigen Aufbau eines Interruptsystems, das vektorisierte Interrupts unterstützt. (7P)[283]-[276]**
- 60.) Erläutern Sie verbal und detailliert den Ablauf eines Interrupts aus der Sicht der CPU. (9P)[292]-[283]**

Übung 4: Gesamtpunktzahl [425]-[292] (133P)

61.) Erläutern Sie verbal und detailliert den Ablauf eines Interrupts aus Software-Sicht. (6P)[298]-[292]

62.) Was sind die Vor- und Nachteile von Interrupts? (7P)[305]-[298]

63.) Was sind Exceptions (Traps), was sind Software-Interrupts? (9P)[314]-[305]

9 Aufgabe: Fortsetzung die Ebene der Rechnerorganisation

64.) Erläutern Sie in einem Blockschaltbild das Signalzusammenspiel beim *DMA*-Transfer zwischen Peripherie und Hauptspeicher, inkl. der zeitlichen Abfolge. (9P)[323]-[314]

65.) Was wird bei der Initialisierung des *DMA*-Controllers festgelegt? (4P)[327]-[323]

66.) Erläutern Sie in je einem Satz die beiden Implementierungsvarianten von *DMA*. (4P)[331]-[327]

67.) Was sind die wichtigsten Eigenschaften und Anwendungsgebiete von *DMA*? (7P)[338]-[331]

68.) Erläutern Sie verbal jeden einzelnen Schritt bei *DMA* (13P)[351]-[338]

10 Aufgabe: Die Zentraleinheit

69.) Nennen Sie wichtige Register in der *CPU* und erläutern deren Inhalt. (14P)[365]-[351]

70.) Skizzieren Sie in einem Blockschaltbild den Ablauf für die Prozessorphase „Befehl holen“ anhand der beteiligten Register und erläutern Sie kurz die entsprechenden Unterphasen. (7P)[372]-[365]

11 Aufgabe: *CISC*-Prozessoren

71.) Nennen und erläutern Sie die grundlegenden Klassen von Maschinenbefehlen bei *CISC*-Prozessoren und geben Sie je ein Beispiel pro Klasse. (10P)[382]-[372]

**72.)Erläutern Sie die Eigenschaft der Orthogonalität von Befehlen.
(3P)[385]-[382]**

**73.)Skizzieren Sie in zwei Blockschaltbildern Stack- und Register-
Architektur und erläutern Sie diese kurz verbal . (8P)[393]-[385]**

12 Aufgabe: Caches

**74.)Erläutern Sie die Begriffe zeitliche und räumliche Lokalität in Pro-
grammen. (4P)[397]-[393]**

**75.)Nennen Sie die gebräuchlichen Cache-Typen und erläutern Sie die
jeweiligen Vor- und Nachteile. (10P)[407]-[397]**

**76.)Welcher Cache-Type wird am häufigsten eingesetzt und warum?
(2P)[409]-[407]**

**77.)Welche Ersetzungsstrategien gibt es für vollassoziative Caches?
(2P)[411]-[409]**

**78.)Welche Ersetzungsstrategie ist für kleine Caches besser geeignet
und warum? (3P)[414]-[411]**

**79.)Gegeben seien drei Caches von je 2 MB Kapazität in drei gebräuch-
lichen Cachetypen. Das Schreiben in die Caches erfolge in Blöcken
zu je 8 Byte, da jede Cache Line 8 Byte groß ist. Bei einem der
Cachetypen existieren 4 Einspeichermöglichkeiten. Geben Sie die
Anzahl der benötigten Komparatoren für die drei Cache-Typen
inkl. des Rechenwegs an. (5P)[419]-[414]**

**80.)Gegeben sei ein Direct-Mapped Cache mit 1 Mio. Zeilen und 4
Bytes pro Cache-Line. Ein Datenwert sei in der Hauptspeicherad-
resse 6146 gespeichert. Geben Sie die Hauptspeicher-Blockadresse,
den Cache-Index und den Cache-Tag für diesen Wert an, inkl des
Rechenwegs. (6P)[425]-[419]**

Übung 5: Gesamtpunktzahl [546]-[425] (121P)

81.) Eine *CPU* will eine Speicherzelle beschreiben, deren Inhalt sich als Kopie im Cache befindet. Welche Möglichkeiten gibt es dafür und worin unterscheiden sich diese Möglichkeiten? (7P)[432]-[425]

82.) Was kann man tun, um beim Speichern von *CPU*-Registerinhalten in den Hauptspeicher langsame Hauptspeicherzugriffe zeitlich zu verdecken? (2P)[434]-[432]

13 Aufgabe: Fortsetzung Caches

83.) Erläutern Sie die Begriffspaare Fetch-on-Write/Write-Around sowie Write-Back/Write-Through (8P)[442]-[434]

84.) a) Welches Risiko besteht bei den Write Back -und Fetch-on-Write-Schreibstrategien der *CPU*? b) Erläutern Sie, wodurch das Risiko zustande kommt und c) geben ein Beispiel, wie man es abmildern kann. d) Welche weiteren Probleme bestehen bei diesen beiden Schreibstrategien? (9P)[451]-[442]

85.) Wo tritt das Paging-Problem auf und wie wird es üblicherweise gelöst? (2P)[453]-[451]

86.) a) Worauf muss man achten, wenn man als Systemprogrammierer oder als Programmierer von Peripheriegeräten auf ein *IO*-Register zugreifen will? b) Wie kann man dafür sorgen, dass beim Schreiben in ein *IO*-Register nichts schiefgeht? (3P)[456]-[453]

87.) Ein Programmierer, der bei einem Graphikkartenhersteller arbeitet, versucht einen Fehler in der Graphikkarte durch Debuggen ihrer Register zu finden, kommt dabei aber nicht voran. Was hat er vergessen zu beachten? (3P)[459]-[456]

88.) Nennen Sie die Vor- und Nachteile von Split-Caches. (4P)[463]-[459]

89.) Welche Rechnerorganisationsform realisiert einen Split Cache? (1P)[464]-[463]

14 Aufgabe: Virtueller Hauptspeicher und Speicherverwaltung

- 90.) Was versteht man unter „dynamischer Adressumsetzung“?
(4P)[468]-[464]
- 91.) Was sind die Vor- und Nachteile dynamischer Adressumsetzung?
(3P)[471]-[468]
- 92.) Wie ist eine virtuelle Adresse aufgebaut? (2P)[473]-[471]
- 93.) Werden die Bestandteile einer virtuellen Adresse bei der anschließenden Adressabbildung auf physikalische Adressen alle gleich behandelt? (2P)[475]-[473]
- 94.) Erläutern Sie verbal, welche Schritte bei der Adressabbildung „virtuell->real“ durchlaufen werden. (5P)[480]-[475]
- 95.) Warum wird für die Adressabbildung in der *MMU* ein vollassoziativer Cache verwendet? (2P)[482]-[480]
- 96.) Wie hängen virtuelle Adressen mit dem Seitentauschen (paging) zusammen? (4P)[486]-[482]
- 97.) Was sind die Vorteile von virtuellem Hauptspeicher mit Paging?
(4P)[490]-[486]
- 98.) Was sind die Nachteile von virtuellem Hauptspeicher mit Paging?
(9P)[499]-[490]
- 99.) Welche Komponenten braucht man, um virtuellen Hauptspeicher zu realisieren? (4P)[503]-[499]
- 100.) Erläutern Sie verbal das Prinzip von virtuellem Hauptspeicher mit Paging. (8P)[511]-[503]
- 101.) Welche Vor- und Nachteile treten auf, wenn eine CPU a) keine dynamische Adressumsetzung hat und b) keinen virtuellen Hauptspeicher hat. c) Nennen Sie die Prozessorfamilien, bei denen dies der Fall ist. (11P)[522]-[511]
- 102.) Welche Voraussetzungen muss eine *CPU* mitbringen, damit virtueller Speicher möglich ist? (3P)[525]-[522]
- 103.) Was unterscheidet einen Interrupt von einer page fault exception?
(2P)[527]-[525]

- 104.) Was muss beim Speicherschutz verhindert werden? (2P)[529]-[527]**
- 105.) Was heißt „präemptives Scheduling“? Nennen Sie zwei Beispiele, wo es eingesetzt wird. (3P)[532]-[529]**
- 106.) Geben Sie in einem Blockschaltbild die wichtigsten Module eines Rechners in der Benutzerschicht, der Betriebssystemschicht und der Hardware-Schicht an. (14P)[546]-[532]**

Übung 6: Gesamtpunktzahl [644]-[546] (98P)

15 Aufgabe: *RISC*-Prozessoren

107.) In Werbetexten wird zur Leistungsbewertung von Prozessoren häufig die Taktfrequenz genannt. Warum ist dies nur eingeschränkt sinnvoll? (3P)[549]-[546]

16 Aufgabe: Fortsetzung *RISC*-Prozessoren

108.) Es wird ein Programm aus verschiedenen Befehlen gemäß nachfolgender Tabelle auf einem Prozessor mit einer Taktfrequenz $f=200\text{ MHz}$ ausgeführt. Berechnen Sie die Ausführungszeit des Programms. Geben Sie den Rechenweg an. (3P)[552]-[549]

Befehlstyp	Zahl der ausgeführten Befehle	CPI-Wert
ALU	4000	1
Load	3000	2
Store	2000	2
Jump	1000	3

109.) Gegeben sind zwei Prozessoren A und B mit gleichem Befehlssatz, aber unterschiedlicher Taktrate und verschiedener Architektur gemäß folgender Liste: Prozessor A: Takt 1 GHz , *CPI* 2.0; Prozessor B: Takt 500 MHz , *CPI* 1.2. Welcher Prozessor ist schneller und um wie viel? (5P)[557]-[552]

110.) Die Rechenleistung wird bestimmt durch drei Faktoren bestimmt. Welche Faktoren werden durch *RISC*-Architekturen reduziert und welche andere aus welchem Grund erhöht? (3P)[560]-[557]

111.) Nennen und erläutern Sie verbal die wichtigsten Eigenschaften von *CISC* und *RISC*-Prozessoren. (13P)[574]-[560]

112.) Warum haben *RISC*-Prozessoren eine große Registerzahl? (3P)[577]-[574]

113.) Warum haben *RISC*-Prozessoren nur wenige Adressierungsarten? (4P)[581]-[577]

114.) Wie kann man Arrays und Structs mit einem *RISC*-Prozessor adressieren? (1P)[582]-[581]

17 Aufgabe: Beschleunigung der Befehlsausführung bei
RISC-Prozessoren

115.) Welche Maßnahmen zur Beschleunigung der Befehlsausführung gibt es für einen einzelnen Core in einer *RISC-CPU*? (5P)[587]-[582]

116.) Auf welcher Idee beruht Pipelining? Erläutern Sie diese verbal. (5P)[592]-[587]

117.) Verdeutlichen Sie das Prinzip der Befehls-Pipeline für einen *CISC*-Prozessor anhand eines Raum-Zeitdiagramms. (5P)[597]-[592]

118.) Leiten Sie die Formel für die Beschleunigung einer *k*-stufigen Pipeline her (5P)[602]-[597]

119.) Nennen Sie die drei Ausprägungen von Pipelining und erläutern Sie diese kurz. (5P)[607]-[602]

120.) Was bedeutet Superpipelining? (2P)[609]-[607]

121.) Was ist der Nachteil von Superpipelining? (1P)[610]-[609]

122.) Gegeben sei ein Prozessor mit 500 MHz Taktfrequenz und 5-stufiger Pipeline. Wann wird jeweils ein einzelner Befehl fertig? Wie lange dauert es, bis der erste Befehl fertiggestellt ist? (2P)[612]-[610]

123.) Der obige Prozessor mit Befehlspipelining führe 10 Befehle aus. Wie groß ist die Beschleunigung im Vergleich zu einem Prozessor ohne Befehlspipelining? (2P)[614]-[612]

124.) Welchen Speedup und welche Rechenleistung erreicht der obige Prozessor bei Programmen mit langer Befehlsausführungszeit? (2P)[616]-[614]

18 Aufgabe: Grenzen der Beschleunigung im Falle von Pipelining

125.) a) Welches Problem tritt bei folgendem Code-Ausschnitt auf? b) Wie kann man es näherungsweise lösen? (2P)[618]-[616]

```
B1:          JPZ B2          -- Jump on Zero Flag
B1+1:       MUL R4, R2, R3   -- R4 := R2 * R3
...         ...
```

- 126.) Wie hoch ist die Trefferquote bei der Sprungvorhersage moderner Prozessoren? (1P)[619]-[618]**
- 127.) Wann spätestens muss eine Sprungvorhersage der Fetch Unit vorliegen, damit sie sich lohnt? (2P)[621]-[619]**
- 128.) Wann wird die Sprungvorhersage üblicherweise ausgeführt und wann die Sprungzielvorhersage? (2P)[623]-[621]**
- 129.) Vergleichen Sie die Aufgaben von Sprungvorhersage und Sprungzielvorhersage. (3P)[626]-[623]**
- 130.) Worin liegen die Schwächen und Probleme bei Sprungvorhersage und Sprungzielvorhersage? (5P)[631]-[626]**
- 131.) a) Welche Parameter braucht man, um die Rechenleistung einer CPU mit einer Pipeline aber ohne Sprungvorhersage zu modellieren? b) Leiten Sie daraus die Formel für die Programmausführungszeit und c) für den Grenzdurchsatz D_{∞} der Pipeline ab. (11P)[642]-[631]**
- 132.) Macht es Sinn, einen Prozessor ohne Sprungvorhersage und Sprungzielvorhersage zu bauen? Begründen Sie Ihre Meinung anhand der Leistung, die ein Pentium-Prozessor ohne diese Vorhersagen hätte. (2P)[644]-[642]**

Übung 7: Gesamtpunktzahl [766]-[644] (122P)

133.) Zeichnen Sie in ein Blockdiagramm für die verbesserte adaptive Sprungvorhersage die zeitliche Abfolge der Vorgänge ein. (7P)[651]-[644]

134.) Erläutern Sie verbal den Ablauf bei der verbesserten adaptiven Sprungvorhersage. (13P)[664]-[651]

19 Aufgabe: Fortsetzung Grenzen der Beschleunigung durch Pipelining

135.) Gegeben ist ein Rechner mit einer 4 stufigen Befehls-Pipeline und nachfolgendem Code-Ausschnitt. Welcher Konflikt tritt bei der Befehlsausführung auf und warum? (2P)[666]-[664]

```
B1: JMP B1+2
B1+1: MUL R4, R2, R3
B1+2: ADD R7, R5, R6
```

136.) Kann eine Sprung- und Sprungzielvorhersage die Zeitverluste bei diesem Konflikt verringern? Falls ja, zeichnen Sie in ein Befehls/Zeit-Diagramm die Ausführung des Codeausschnitts bei maximaler Beschleunigung ein. Falls nein, erklären Sie die Gründe. (3P)[669]-[666]

137.) Was wird im Sprungzielspeicher (Branch Target Cache) gespeichert? (1P)[670]-[669]

138.) Warum sind Schleifen für die Sprung-/ und Sprungzielvorhersage ein Problem? (5P)[675]-[670]

139.) Stimmt die nachfolgende Aussage immer oder gibt es Grenzen? „Je mehr Stufen eine Superpipeline besitzt, desto schneller kann die CPU getaktet werden“. (14P)[689]-[675]

140.) Gegeben ist ein *RISC*-Prozessor mit einer 4 stufigen Befehls-Pipeline und nachfolgendem Code-Ausschnitt. Zeichnen Sie in ein geeignetes Diagramm die verschiedenen Ausführungsphasen des gezeigten Code-Ausschnitts in der Befehls-Pipeline ein. (4P)[693]-[689]

```
B1: ADD R1, R2, R3 (R1 := R2+R3)
B2: MUL R6, R8, R7 (R6 := R8*R7)
B3: ADD R4, R1, R5 (R4 := R1+R5)
B4: INC R9 (R9 := R9+1)
```

- 141.) Welcher Konflikt tritt bei der Befehlsausführung in obigem Beispiel auf und warum? (1P)[694]-[693]**
- 142.) Mit welchen verschiedenen Mechanismen kann man den oben vorliegenden Konflikt lösen? Erläutern Sie jeweils die Mechanismen kurz anhand des obigen Codebeispiels. (9P)[703]-[694]**
- 143.) Erläutern Sie verbal den RAW-Datenflusskonflikt, den Steuerflusskonflikt und den Ressourcenkonflikt, sowie in welchen Instanzen diese Konflikte auftreten. (9P)[711]-[703]**
- 144.) Welche anderen Datenflusskonflikte außer *RAW* gibt es noch, wie sehen diese aus und unter welchen Voraussetzungen können sie auftreten? (7P)[718]-[711]**
- 145.) Welche Probleme treten bei nachfolgenden Codes auf? (Ein Cache sei nicht vorhanden) (2P)[720]-[718]**
- ```

B1: LOAD R1, (R2)
B2: ADD R5, R3, R4
B3: SUB R8, R6, R7

B1: ADD R3, R1, R2
B2: ADD R5, R4, R1
B3: INC R3

```
- 20 Aufgabe: Hinausschieben der Pipeline-Grenzen**
- 146.) Mit welchen *CPU*-internen Einheiten können Prozessoren welche Konflikte erkennen und beheben? (6P)[726]-[720]**
- 147.) Erläutern Sie kurz, wie diese Einheiten die Konflikte beheben, für die sie zuständig sind. (12P)[738]-[726]**
- 148.) Welche dieser Einheiten existieren gleichzeitig in jedem modernen Prozessor? (1P)[739]-[738]**
- 149.) Erläutern Sie den Ablauf beim Scoreboard der einfachen Ausbaustufe. (6P)[745]-[739]**
- 150.) Es gibt beim Tomasulo-Mechanismus nach außen nicht sichtbare Register. Wie heißen diese Register, was enthalten sie, wo sind sie untergebracht und wozu dienen sie? (6P)[751]-[745]**
- 151.) Was sind die Vorteile, wenn eine *CPU* die obigen, nach außen nicht sichtbaren Register hat? (4P)[755]-[751]**

**152.)Der Tomasulo-Mechanismus beinhaltet u.a. einen sog. Common Data Bus, um die Programmausführung zu beschleunigen. Welche Komponenten werden durch den Common Data Bus gekoppelt, um die Beschleunigung zu ermöglichen? (1P)[756]-[755]**

**153.)Was sind die Vorteile des Common Data Bus? (5P)[761]-[756]**

**154.)Das Valid-Bit eines Reservierungsregisters wird auf invalid gesetzt. Was bedeutet dies für die CPU? (3P)[764]-[761]**

**155.)Was steht in dem Reservierungsregister, falls das Valid-Bit *FALSE* bzw. *TRUE* ist? (2P)[766]-[764]**