

RO II Übungen ohne Lösungen V24

Übung 1: Gesamtpunktzahl [100] (100P)

1 Aufgabe: Superskalarität

- 1.) Was bedeutet der Begriff „Superskalarität“? (1P)[1]
- 2.) Worin besteht der Unterschied zwischen einem skalaren Prozessor und einem superskalaren Prozessor? (3P)[4]-[1]
- 3.) Welche Art der Parallelität bewirkt Superskalarität? (1P)[5]-[4]
- 4.) Wie hoch ist Superskalarität n bei einem üblichen *RISC*-Prozessor und bei einem *VLIW*-Prozessor? (2P)[7]-[5]
- 5.) Welche Probleme entstehen durch Superskalarität? (5P)[12]-[7]
- 6.) Welche Voraussetzung im auszuführenden Code muss erfüllt sein, damit Superskalarität möglich ist? (2P)[14]-[12]
- 7.) a) Welche Transformation wird von einem superskalaren Prozessor ausgeführt? b) Beschreiben Sie die mathematischen Codeeigenschaften vor und nach der Transformation. (3P)[17]-[14]
- 8.) Warum wird die Transformation durchgeführt? (1P)[18]-[17]
- 9.) Welche Aufgaben hat die Fetch-Unit im Falle von Superskalarität? (2P)[20]-[18]
- 10.) Worin werden die von der Fetch-Unit geladenen Befehle gespeichert? (1P)[21]-[20]
- 11.) Weshalb benötigt der Prefetch Buffer bei Superskalarität eine größere Wortbreite? (1P)[22]-[21]
- 12.) Welche Funktionsblöcke im Prozessor werden für Superskalarität benötigt? (5P)[27]-[22]

2 Aufgabe: Parallelität Allgemein

- 13.) Welche zwei grundsätzliche Arten von Parallelität zur beschleunigten Programmausführung gibt es? Definieren Sie diese. (5P)[32]-[27]
- 14.) a) Welche beiden Standardbibliotheken zur Interprozesskommunikation gibt es? b) Welche Spezialsprachen zur expliziten parallelen Programmierung kennen Sie? (6P)[38]-[32]

- 15.)Nennen Sie Beispiele für implizite Parallelität in einem Prozessor. (4P)[42]-[38]
- 16.)Definieren Sie den Begriff „Instruction Window“ (3P)[45]-[42]
- 17.)Was macht die *CPU* im Instruction Window und mit dem Instruction Window? (4P)[49]-[45]
- 18.)Erläutern Sie die Notwendigkeit des Instruction Windows. (2P)[51]-[49]

3 Aufgabe: Multi Core- und Many Core-*CPUS*

- 19.)Beschreiben Sie Multi Core- und Many Core-*CPUs* hinsichtlich ihrer Organisation (7P)[58]-[51]

4 Aufgabe: Konflikte in der *CPU*

- 20.)Welche Konflikte können in einer Befehls-Pipeline eines *RISC*-Prozessors auftreten? Welche kommen bei Superskalarität hinzu? (3P)[61]-[58]
- 21.)In welcher sonstigen Pipeline neben der Befehls-Pipeline kommt es auch zu Konflikten? Welche sind dies? (2P)[63]-[61]
- 22.)Geben Sie drei Beispiele für Ressourcenkonflikte. (3P)[•]-[63]
- 23.)Beschreiben Sie verbal, wie Read-after-Write-Konflikte (*RAW*) bei einem *RISC*-Prozessor aufgelöst werden? (7P)[73]-[•]
- 24.)Entwerfen Sie einen Code-Ausschnitt für einen *CISC*-Prozessor, der zu einem *RAW*-Konflikt führt und markieren Sie diesen in einem Phasendiagramm der Befehlspipeline. (2P)[75]-[73]
- 25.)Entwerfen Sie einen Code-Ausschnitt für einen *CISC*-Prozessor, der zu einem Steuerfluss-Konflikt führt und markieren Sie diesen in einem Phasendiagramm der Befehlspipeline. (3P)[78]-[75]
- 26.)Entwerfen Sie einen Code-Ausschnitt für einen *RISC*-Prozessor, der zu einem Ressourcen-Konflikt führt, markieren diesen in einem Phasendiagramm der Befehlspipeline und erläutern, bei welcher *CPU*-Ressource der Konflikt auftritt. Nehmen Sie dazu an, dass der Speicher 3 Takte benötigt. (4P)[82]-[78]

5 Aufgabe: Dynamische Befehlsausführung

- 27.)Was bedeutet „dynamische Befehlsausführung“ für die Maschinenbefehle der *RISC-CPU* und wozu dient sie? (5P)[87]-[82]
- 28.)Was muss die dynamische Befehlsausführung gewährleisten? (1P)[88]-[87]

- 29.)** Beschreiben Sie kurz die grundsätzlichen Möglichkeiten, die es gibt, dynamische Befehlsausführung zu implementieren, sowie in einem Satz ihr Wirkungsprinzip.
(4P)[92]-[88]
- 30.)** Bewerten Sie die Implementierungsmöglichkeiten für dynamische Befehlsausführung. In welchen Fällen wird welche Implementierungsmöglichkeit eingesetzt?
(8P)[100]-[92]

Übung 2: Gesamtpunktzahl [258]-[100] (158P)

31.) Wo treten in nachfolgendem Code-Ausschnitt eines *RISC*-Prozessors welche Konflikte auf und warum? Begründen Sie ihre Ansicht durch ein Phasendiagramm der Befehlspipeline. Hinweis: der 1st Level-Datencache habe eine Zugriffszeit von einem Pipeline-Takt, und es gebe keine Superskalarität und keine getrennten Load- und Store-Einheiten. (13P)[113]-[100]

B1: ADD R2, R3, R4
B2: ADD R5, R2, R1
B3: STORE R7, #000F
B4: LOAD R6, #FFF0
B5: MUL R8, R8, R6
B6: INC R9
B7: INC R10
B8: MUL R3, R2, R2

32.) Wie lassen sich die obigen Konflikte lösen? Begründen Sie ihre Ansicht durch ein Phasendiagramm der Befehlspipeline. (17P)[130]-[113]

33.) Was passiert, wenn out-of-order execution in der Befehlspipeline aufgrund des gegebenen Codes nicht erfolgreich bei der Konfliktlösung ist? (2P)[132]-[130]

34.) Betrachten Sie wieder den Code-Ausschnitt von Aufgabe [31]. Jetzt gebe es zusätzlich eine Superskalarität von $n=2$, es können jeweils 2 beliebige Befehle (inkl. Load/Store) gleichzeitig ausgeführt werden und es gebe einen Common Data Bus. Wie sieht ein konfliktfreies Scheduling aus? Begründen Sie ihre Ansicht durch ein Phasendiagramm der Befehlspipelines. (16P)[148]-[132]

6 Aufgabe: Decode Unit

35.) Bei welcher Aufgabe arbeiten Decode Unit und das Scoreboard zusammen? (1P)[149]-[148]

7 Aufgabe: Datenflussarchitektur

36.) Erläutern Sie den Unterschied zwischen Datenflussarchitektur und Steuerflussarchitektur (3P)[152]-[149]

8 Aufgabe: Speicherpipeline

37.) Zeichnen Sie ein Blockschaltbild der erweiterten Speicherpipeline für Befehle und Daten und geben die wichtigsten Eigenschaften der eingezeichneten Komponenten an. (6P)[158]-[152]

- 38.)Warum gibt es die Load- und der Store Buffer und wie funktionieren sie? (9P)[167]-[158]
- 39.)Erläutern Sie verbal, wie die Datenpfade bei der vollen Speicherpipeline für Befehle aussehen? (16P)[183]-[167]
- 40.)Zeichnen Sie das Blockschaltbild der gekoppelten Speicher- und Befehlspipeline (13P)[196]-[183]
- 41.)Was unterscheidet den Prefetch Buffer vom 1st Level-Befehls-cache? (12P)[208]-[196]
- 42.)Erläutern Sie im Detail, warum ein Cache stets weniger Kapazität als ein RAM hat. (5P)[213]-[208]
- 43.)Welche Wirkung hat die Festplatte bei paging auf den Benutzer? (2P)[215]-[213]

9 Aufgabe: Scoreboard der vollen Ausbaustufe

- 44.)Beschreiben Sie die Position der Reservierungsregister innerhalb der CPU und Ihre Arbeitsweise (3P)[218]-[215]
- 45.)Welche Art von Architektur entsteht, wenn der Ausführungszeitpunkt von Befehlen losgelöst ist von dem Ausführungszeitpunkt, den der Programmierer vorgesehen hat? (1P)[219]-[218]
- 46.)In welcher Beziehung steht der Tomasulo-Mechanismus mit dem Scoreboard der vollen Ausbaustufe? (1P)[220]-[219]
- 47.)Was leistet das Scoreboard der vollen Ausbaustufe? (2P)[222]-[220]
- 48.)Erläutern Sie im Detail, wie das Scoreboard der vollen Ausbaustufe den Ausführungsablauf von Befehlen erfasst. (14P)[236]-[222]
- 49.)Welche internen Hilfsmittel verwendet das Scoreboard der vollen Ausbaustufe und was speichern diese? (5P)[241]-[236]
- 50.)Wann gibt der Instruction Dispatcher einen neuen Befehl an eine ALU aus? (3P)[244]-[241]
- 51.)Welche Register dienen einer ALU in einer RISC CPU als Ergebnisregister? (3P)[247]-[244]
- 52.)Was steht in der Liste, die Buch über die Zustände der Ergebnisregister führt? (2P)[249]-[247]

10 Aufgabe: Spekulative Befehlsausführung

- 53.)**Warum gibt es außer diversen Pipelines, Sprung-/Sprungzielvorhersage, Superskalarität und dynamischer Befehlsausführung auch noch die spekulative Befehlsausführung? (1P)[250]-[249]
- 54.)**Bei welchen Hochsprachenbefehlen nimmt eine *CPU* eine spekulative Befehlsausführung vor? (2P)[252]-[250]
- 55.)**Welche Mechanismen zur beschleunigten Programmausführung beinhaltet die spekulative Befehlsausführung? (3P)[255]-[252]
- 56.)**Wenn man Superskalarität mit Sprungvorhersage kombiniert, entstehen bei falsch vorhergesagten Sprüngen Probleme. Mit Hilfe welcher Vorgehensweise löst man diese Probleme? (3P)[258]-[255]

Übung 3: Gesamtpunktzahl [405]-[258] (147P)

- 57.) Erklären Sie die Aufgaben des „Reorder Buffers“ (5P)[263]-[258]
- 58.) Worauf muss bei der spekulativen Befehlsausführung geachtet werden? (5P)[268]-[263]
- 59.) Auf welche Hardware-Eigenschaft verlassen sich Gerätetreiber in Betriebssystemen, die von *RISC*-Prozessoren ausgeführt werden? (1P)[269]-[268]
- 60.) Welche Einheit in *RISC*-Prozessoren realisiert diese Hardware-Eigenschaft? (1P)[270]-[269]
- 61.) Was passiert mit den im Reorder Buffer gespeicherten Ergebnissen bei falscher Sprungvorhersage? (2P)[272]-[270]
- 62.) Ab wann muss spätestens von der *CPU* berechnet sein, ob ein Programmteil korrekt ausgeführt wurde? (2P)[274]-[272]
- 63.) Welche Einheit in der *CPU* bestimmt, dass ein Programmteil korrekt ausgeführt wurde? (1P)[275]-[274]
- 64.) Wie viele Einträge hat der Reorder Buffer, und aus welchen Feldern besteht er? (4P)[279]-[275]
- 65.) Was steht im Feld „Zieladresse“ des Reorder Buffers? (3P)[282]-[279]
- 66.) Wie werden Load/Store und Sprünge in der Ergebnisbereitstellungsphase des Reorder Buffers behandelt? (8P)[290]-[282]

11 Aufgabe: Eager Execution

- 67.) Was bedeutet Eager Execution für die *CPU*? Was sind die Vor- und Nachteile? (5P)[295]-[290]
- 68.) Erläutern Sie die Funktion von „Schattenreservierungsregistern“. (3P)[299]-[295]
- 69.) Erläutern Sie „Register Renaming“. (7P)[306]-[299]
- 70.) Wann wird bei Eager Execution die Bedingung von IF ... THEN ... ELSE ausgewertet? (2P)[308]-[306]
- 71.) Was ist die Voraussetzung dafür, dass bei Eager Execution die Auswertung der Sprungbedingung funktioniert? (4P)[312]-[308]

12 Aufgabe: Registerfenster

- 72.) Welche Beobachtungen führten zur Einführung von Registerfenstern? (17P)[329]-[312]

- 73.)**Quantifizieren Sie die Vorteile der Registerfenstertechnik. (2P)[331]-[329]
- 74.)**Wozu dienen Registerfenster? (8P)[338]-[331]
- 75.)**Wie erfolgt die Übergabe von Werten zwischen rufendem und gerufenem Programm bei der Registerfenstertechnik? (2P)[340]-[338]
- 76.)**Warum kommt man bei der Registerfenstertechnik mit rel. wenigen Registern aus? (3P)[343]-[340]
- 77.)**Wie funktioniert eine ausgereifte Registerfenstertechnik? Erläutern Sie diese a) verbal und zeichnen b) ein Schaubild für den Fall von 8 Registersätzen zu je 16 Registern. Die Registersätze 1-5 seien für 5 Unterprogramme des Benutzers reserviert. Die Registersätze 6-8 seien für Unterprogramme des Betriebssystems reserviert. (18P)[362]-[343]

13 Aufgabe: Beispiele von *RISC*-Organisationsformen

- 78.)**Erläutern Sie verbal, welche Einheiten in der *CPU* der Common Data Bus miteinander verbindet. (4P)[366]-[362]
- 79.)**Wo werden in einer *RISC-CPU* reale Adressen verwendet und wo virtuelle? (5P)[371]-[366]
- 80.)**Welche organisatorische Maßnahmen zur Beschleunigung der Programmausführung enthält ein typischer *RISC*-Prozessor? (18P)[389]-[371]
- 81.)**Zeichnen Sie das vereinfachte Blockschaltbild einer *RISC-CPU* mit spekulativer Befehlsausführung. (16P)[405]-[389]

Übung 4: Gesamtpunktzahl [538]-[405] (133P)

- 82.)Wie schaffen es die Intel Pentium-Prozessoren und kompatible trotz *CISC*-Befehlssatz so schnell wie ein *RISC*-Prozessor zu sein? (3P)[408]-[405]
- 83.)Gibt es Register Renaming und einen Reorder Buffer bei Intel Pentium-Prozessoren? Falls ja, wo sind die entsprechenden Einheiten in der *CPU* lokalisiert? (2P)[410]-[408]

14 Aufgabe: Parallelrechner

- 84.)Definieren Sie Multi Core/Many Core-Prozessoren, Multiprozessoren, Multicomputer und Cluster-Computer (10P)[420]-[410]
- 85.)Welche Ziele verfolgt man beim Entwurf von Parallelrechnern? (4P)[424]-[420]
- 86.)Nennen Sie die wesentlichen Merkmale bei Parallelrechnern. (7P)[431]-[424]
- 87.)Was sind die wichtigsten Hardware-Komponenten von Parallelrechnern? (3P)[434]-[431]
- 88.)Welche zwei grundlegenden Programmiermodelle der Interprozessorkommunikation gibt es bei Parallelrechnern und wie funktioniert der Datenaustausch dabei jeweils? (11P)[445]-[434]
- 89.)In welchen Größenordnungen bewegt sich die Rechenleistung der schnellsten Parallelrechner? (1P)[446]-[445]
- 90.)Was sind die besonderen Schwierigkeiten beim Einsatz von Parallelrechnern oder Multi Core *CPUs*? (6P)[452]-[446]
- 91.)Wie lauten die Hauptkategorien der Parallelrechnerorganisation? (3P)[455]-[452]
- 92.)Welche Unterkategorien gibt es? (6P)[461]-[455]
- 93.)Definieren Sie eng und lose gekoppelte Systeme (2P)[463]-[461]
- 94.)Zeichnen Sie das Blockdiagramm eines Mehrprozessorsystems aus n Prozessoren mit Bus/Speicherkopplung und gemeinsamem Speicher. (2P)[465]-[463]
- 95.)Welchen Nachteil hat dieses Kopplung? (4P)[469]-[465]
- 96.)Wie wird der gleichzeitige Zugriff zweier Prozessoren auf einen gemeinsamen Bus geregelt? (3P)[472]-[469]

15 Aufgabe: Bus-/Speicher-Kopplung

- 97.)Erläutern Sie verbal und in zwei Diagrammen den Sättigungseffekt der Bus-/Speicher-Kopplung. (4P)[476]-[472]

- 98.)**Wie kann man die Bandbreite bei der Bus/Speicherkopplung erhöhen? (7P)[485]-[476]
- 99.)**Welche grundsätzliche Änderungen am Kommunikationssystem kann man vornehmen, um Durchsatz und Latenz zu verbessern und skalierbar zu machen? (1P)[486]-[485]

16 Aufgabe: *UMA*, *NUMA*

- 100.)**Was unterscheidet *UMA* von *NUMA*? (5P)[491]-[486]
- 101.)**Was sind die Vor- und Nachteile von *UMA* und *NUMA*? (7P)[498]-[491]
- 102.)**Kann bei *UMA* und *NUMA* das Programmiermodell des gemeinsamen Speichers leicht realisiert werden? (2P)[500]-[498]
- 103.)**a) Wozu dient „Bus Snooping“?, b) was passiert dabei?, c) ist es bei jeder Art der Prozessorkopplung leicht zu implementieren? (11P)[511]-[500]
- 104.)**Wie funktioniert das Speicher-Protokoll *MESI* bei einem busgekoppelten Parallelrechner? (8P)[519]-[511]
- 105.)**Welche Möglichkeiten der Kommunikation gibt es, um mit Standardbussen und einem Standardspeichersystem die Sättigungsgrenze der Interprozessorkommunikation hinauszuschieben? (3P)[522]-[519]

17 Aufgabe: Programmierung von Parallelrechnern

- 106.)**In einem Parallelrechner kann es eine hohe Zahl von Prozessoren geben. Welche Konsequenzen hat dies für die Programmierung? (4P)[526]-[522]
- 107.)**Kann die Ausführung eines parallelen Programms durch Erhöhung der Anzahl der Rechner/Prozessoren/Cores beliebig beschleunigt werden oder gibt es Grenzen? Begründen Sie Ihre Antwort. (8P)[534]-[526]
- 108.)**Zwischen welchen grundsätzlichen Optionen kann ein Parallelerrechnerprogrammierer wählen? (4P)[538]-[534]

Übung 5: Gesamtpunktzahl [678]-[538] (140P)

- 109.) Es ist Ihre Aufgabe, eine numerische Simulation auf einem Parallelrechner mit 100 Tsd. Cores zu programmieren. Für welche grundsätzlichen Optionen entscheiden Sie sich? (6P)[544]-[538]
- 110.) Wenn mehrere Prozessoren ungeschützt auf dieselbe Variable zugreifen wollen, können nicht zulässige Situationen auftreten. a) Welche sind das? b) Wie werden sie verhindert? (7P)[551]-[544]
- 111.) Was sind die häufigsten Bibliotheken zur Programmierung von Parallelrechnern? Welche Programmiermodelle werden dadurch abgedeckt? (4P)[555]-[551]
- 112.) Bewerten Sie *READ/WRITE* und asynchrones bzw. synchrones *SEND/RECEIVE* bzgl. deren Häufigkeit und Nützlichkeit. (7P)[562]-[555]
- 113.) Welches Programmiermodell passt am besten zu welcher hardware-mäßigen Realisierung der Interprozessorkommunikation? (2P)[564]-[562]
- 114.) Was sind „Critical Sections“ in der Parallelrechnerprogrammierung? (4P)[568]-[564]
- 115.) Beschreiben Sie das Rendezvous-Konzept in der Interprozesskommunikation (11P)[579]-[568]
- 116.) Was wird als Peer-to-peer-Kommunikation bezeichnet? (3P)[582]-[579]

18 Aufgabe: Organisation von Parallelrechnern

- 117.) Was ist der Unterschied zwischen Distributed Shared Memory und Shared Virtual Memory? (10P)[592]-[582]
- 118.) Erläutern Sie in einem Blockdiagramm, wie der transparente Zugriff auf Variable in entfernten Hauptspeichermodule funktioniert, wenn dazu Kommunikationskanäle in einem Verbindungsnetzwerk verwendet werden. (15P)[607]-[592]

Hinweis: Ab hier sollten Sie das grüne Buch „Verbindungsnetzwerke“ des Dozenten zur Beantwortung der Fragen heranziehen.

19 Aufgabe: Verbindungsnetzwerke Allgemein

- 119.) Geben Sie die allgemeine Definition für ein Verbindungsnetzwerk an. (2P)[586]-[607]
- 120.) Was bedeutet „Skalierbarkeit“ bei Verbindungsstrukturen von Parallelrechnern? (3P)[612]-[586]

121.) Welche Verbindungsnetzwerke sind skalierbar, was Bandbreite und Latenz anbetrifft? (6P)[618]-[612]

122.) Was ist die kleinstmögliche Komplexität, mit der skalierbare Verbindungsnetzwerke in ihrem Hardware-Aufwand anwachsen? (2P)[620]-[618]

20 Aufgabe: Statische Verbindungsnetzwerke

123.) Zeichnen Sie einen fünfdimensionalen Hypercube (4P)[624]-[620]

124.) Zeichnen Sie eine Verklemmungssituation zwischen 4 Prozessoren, bei der jeder Prozessor auf einen freien Kommunikationskanal wartet (3P)[627]-[624]

21 Aufgabe: Dynamische Verbindungsnetzwerke

125.) Was unterscheidet dynamische von statischen Verbindungsnetzwerken? (6P)[633]-[627]

126.) Erläutern Sie anhand von drei Schemazeichnungen, wie ein Kreuzschienenverteiler, ein Clos-Netz und ein Benes Netz aufgebaut ist. (7P)[640]-[633]

127.) Welche Konstruktionsprinzipien in eng und lose gekoppelte Systeme gibt es, mit denen aus bekannten Netzen neue Netztopologien erzeugt werden können? (4P)[644]-[640]

128.) Was versteht man unter einem personalisierten Multicast? (4P)[648]-[644]

129.) Was versteht man unter „adaptivem Routing“? Welche Vorteile bietet es? (8P)[656]-[648]

130.) Nennen Sie je zwei Beispiele für deterministisches und adaptives Routing. (4P)[660]-[656]

22 Aufgabe: Datentransport

131.) Wie kann man den Datentransport in einem Verbindungsnetzwerk in zwei Hierarchieebenen verbal klassifizieren? (18P)[678]-[660]

Übung 6: Gesamtpunktzahl [817]-[678] (139P)

132.)Worin bestehen die Unterschiede beim Datentransport gemäß der Verfahren Store-and-Forward und Virtual-Cut-Through? (6P)[684]-[678]

23 Aufgabe: Statische Netze

133.)Nennen Sie 7 Beispiele für statische Netze (7P)[691]-[684]

134.)Zeichnen Sie folgende statische Topologien in einer Größe Ihrer Wahl: Ring, Sehenring, 2D-Gitter, 3D-Torus, 4D-Hypercube, 3D-Cube Connected Cycles, Systolisches Feld, De Bruijn-Graph, Star-Graph, Fat Tree, X-Tree, Hypertree und Twisted Cube. (26P)[717]-[691]

135.)a) Welche Symmetriearten sind für statische Netze relevant? b) Geben Sie die Gründe dafür an. (11P)[728]-[717]

136.)a) Welche Metriken sind bei statischen Netzen von Bedeutung? b) Erläutern Sie jede Metrik in einem Satz. (17P)[745]-[728]

137.)Mit Hilfe welcher Vorschriften kann man einen n-dimensionalen Überwürfel (Hypercube) konstruieren? (10P)[755]-[745]

138.)Erläutern Sie verbal, wie ein n-dimensionaler, binärer de Bruijn-Graph konstruiert wird. (6P)[761]-[755]

139.)Welche beiden funktionalen Einheiten in einem Verbindungsnetzwerk können zu Verklemmungssituationen (Deadlocks) führen? (2P)[763]-[761]

140.)Wie kann man Deadlocks in einem Verbindungsnetzwerk verhindern? (5P)[768]-[763]

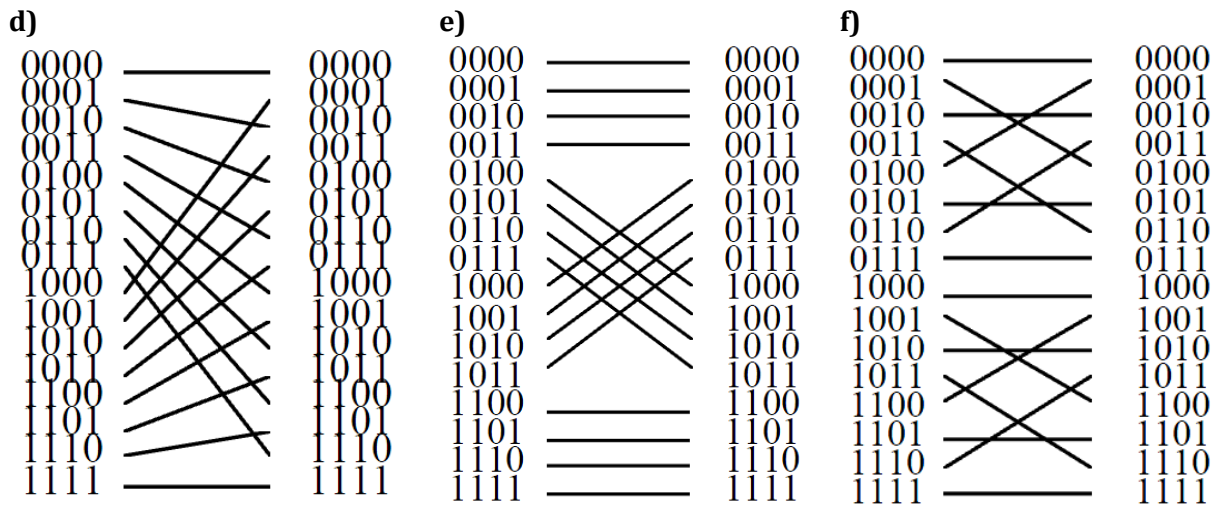
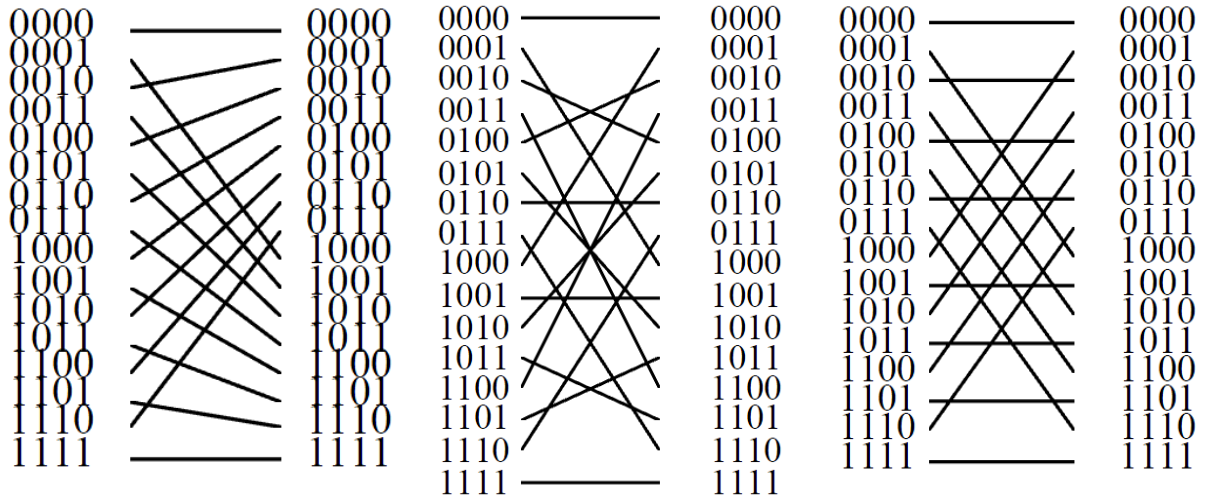
24 Aufgabe: Permutationsfunktionen

141.)Benennen Sie die nachfolgend dargestellten Permutationen und erläutern Sie diese in einem Satz. (12P)[780]-[768]

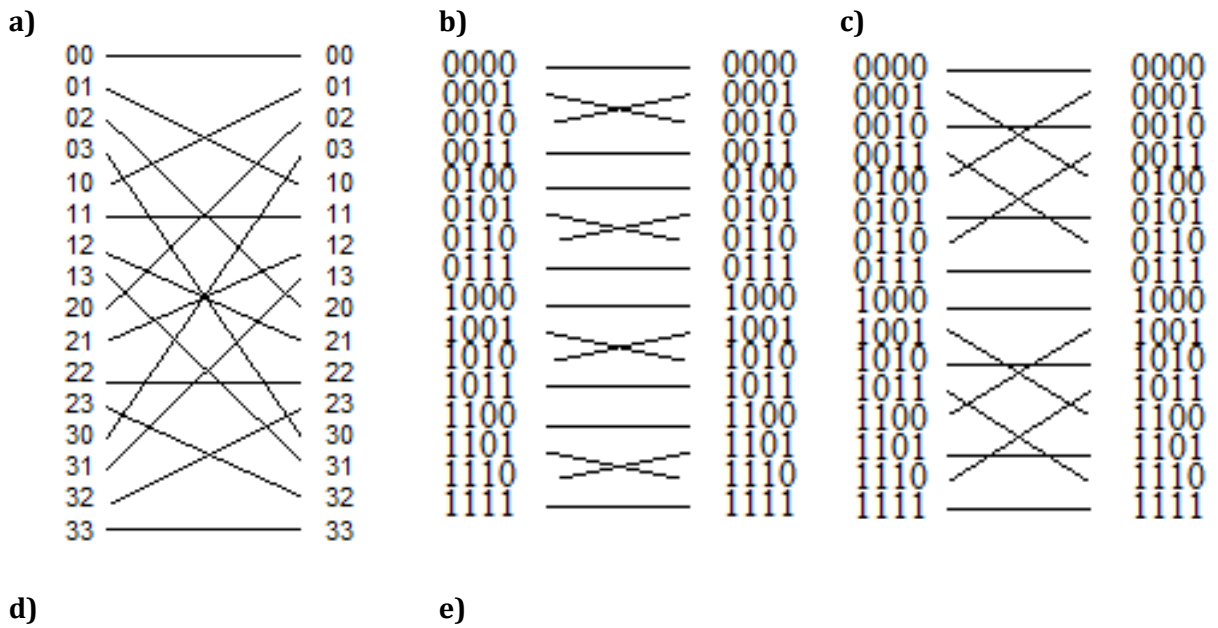
a)

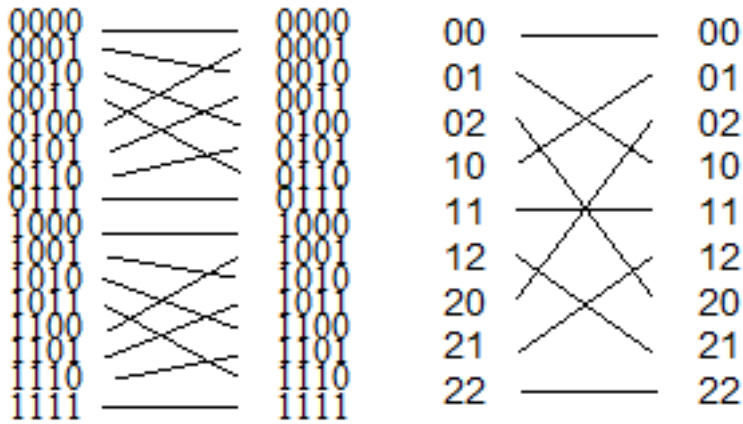
b)

c)



142.) Benennen Sie außerdem auch die folgenden Permutationen und erläutern Sie diese in einem Satz. (12P)[792]-[780]



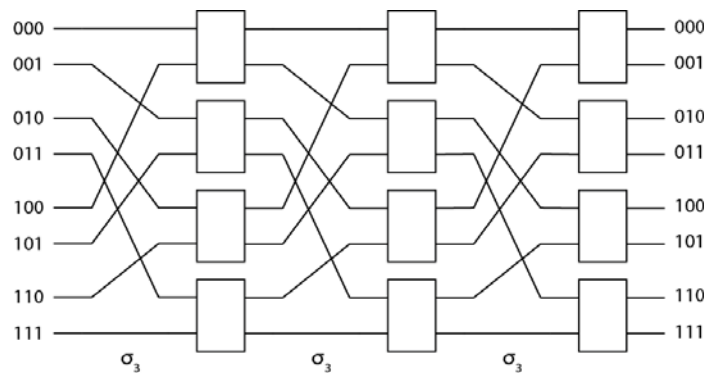


25 Aufgabe: LogN-Netze

- 143.)** Welche dynamischen Netze gehören in die Klasse der $\log N$ -Netze? (6P)[798]-[792]
- 144.)** Aus welchen Komponenten sind alle $\log 2N$ -Netze aufgebaut? (5P)[803]-[798]
- 145.)** Wie viele Kreuzschalter enthält ein $\log 2N$ -Netz mit N Eingängen? (2P)[805]-[803]
- 146.)** Welches $\log N$ -Netz hat ein besonders einfaches Routing und warum? (6P)[811]-[805]
- 147.)** Wie funktioniert das Routing im Baseline-Netz? (6P)[817]-[811]

Übung 7: Gesamtpunktzahl [913]-[817] (96P)

- 148.) Was sind die Vorteile des Baseline-Netztes gegenüber dem Omega-Netz? (6P)[823]-[817]
- 149.) Welche Änderungen hat das Flip-Netz gegenüber dem Omega-Netz? (2P)[825]-[823]
- 150.) Erläutern Sie das Prinzip des Self Routings in $\log_2 N$ -Netzen (5P)[830]-[825]
- 151.) Was sind die Gemeinsamkeiten und die Unterschiede der $\log N$ -Netze beim Self-Routing? (11P)[841]-[830]
- 152.) Routen Sie in dem unten abgebildeten Netzwerk eine Verbindung von der Adresse 010 am linken Eingang zur Adresse 100 am rechten Ausgang. (3P)[844]-[841]



- 153.) Einige $\log_2 N$ -Netze haben die sehr überraschende Eigenschaft, dass ihre Topologien nahezu identisch mit völlig anderen Operationen aus der Mathematik sind. Welche Operationen sind das? (2P)[846]-[844]
- 154.) Alle $\log N$ -Netze kann man zerstörungsfrei, d.h. topologieerhaltend in jedes andere $\log N$ -Netz umwandeln. Was bedeutet das für die Praxis? (7P)[853]-[846]

26 Aufgabe: Banyans

- 155.) Wie ist die Klasse der Banyan-Netze definiert? (2P)[855]-[853]
- 156.) Gehören die $\log N$ -Netze in die Klasse der Banyan-Netze? Begründen Sie Ihre Antwort. (2P)[857]-[855]
- 157.) Welche Eigenschaft hat ein rechteckiger Banyan? (1P)[858]-[857]
- 158.) Welche Eigenschaft hat ein regelmäßiger (=regulärer) Banyan? (4P)[862]-[858]
- 159.) Welche grundlegenden Eigenschaften haben alle n -Ebenen-Banyans? (4P)[866]-[862]

- 160.)** Welche Parameter charakterisieren alle n -Ebenen-Banyans? (6P)[872]-[866]
- 161.)** Zeichnen Sie einen Banyan vom Typ $N=4=\text{const.}$, $n=s=f=2$ (5P)[877]-[872]
- 162.)** Um welchen speziellen Typ von Banyan handelt es sich? (1P)[878]-[877]
- 163.)** Mit welchen Parametern kann man alle SW-Banyans beschreiben? (6P)[884]-[878]

27 Aufgabe: Routing in SW - und CC -Banyans

- 164.)** Wie funktioniert das Routing im $(2,2,n)$ - SW -Banyan? (8P)[892]-[884]
- 165.)** Zeichnen Sie einen $(2,2,2)$ -Cylindrical Cross-Hatched-Banyan und erläutern Sie verbal die Konstruktionsweise der Pfeilebenen. (4P)[896]-[892]
- 166.)** Welche Untergruppen gibt es beim CC -Banyan? (2P)[898]-[896]
- 167.)** Worin unterscheiden sie sich? (1P)[899]-[898]
- 168.)** Wie funktioniert das Routing im $(2,2,n)$ -Cylindrical Cross Hatched-Banyan? (14P)[913]-[899]